



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

PCT / IB 03 / 03934
21.08.03

MAILED 19 SEP 2003

WIPO PCT

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02078873.3

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

BEST AVAILABLE COPY



Anmeldung Nr:
Application no.: 02078873.3
Demande no:

Anmeldetag:
Date of filing: 17.09.02
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

Philips Electronics N.V.
Weinveldseweg 1
5621 BA Eindhoven
NEDERLANDEN

Beschreibung der Erfindung/Title of the invention/Titre de l'invention:
Wenn die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
(If no title is shown please refer to the description.
(Si aucun titre n'est indiqué se référer à la description.)

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s)
revendiquée(s)

Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H01L21/00

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL PT SE SK TR

Werkwijze ter vervaardiging van een halfgeleiderinrichting en daarmee verkregen halfgeleiderinrichting

De uitvinding heeft betrekking op een werkwijze ter vervaardiging van een halfgeleiderinrichting waarbij in een halfgeleiderlichaam met een tijdelijk substraat tenminste een halfgeleiderelement gevormd wordt dat aan een zijde van het halfgeleiderlichaam liggend tegenover het substraat van tenminste een aansluitgebied voorzien wordt, aan de zijde van het halfgeleiderlichaam waar het aansluitgebied gevormd wordt een diëlektricum wordt
5 aangebracht in een patroon dat het aansluitgebied vrijlaat waarna een metaallaag over het diëlektricum wordt aangebracht wordt in contact met het aansluitgebied, welke metaallaag fungeert als elektrische aansluitgeleider van het aansluitgebied, waarna het tijdelijk substraat verwijderd wordt en de metaallaag als substraat fungeert. De metaallaag fungeert tevens als
10 thermische geleider om warmte af te voeren. Met een dergelijke werkwijze kan een – al dan niet geïntegreerde – halfgeleiderinrichting vervaardigd worden die bij zeer hoge frequenties, zoals een frequentie die groter of gelijk is aan 50 GHz, bruikbaar zijn.

Een werkwijze van de in de aanhef genoemde soort is bekend uit een publicatie van M. Rodwell et al. met als titel "Transferred-Substrate Heterojunction Bipolar
15 Transistor Integrated Circuit Technology" dat gepubliceerd is in pp. 169-174 van de Proceedings van de 11th International Conference on Indium Phosphide and Related Materials gehouden van 16-20 Mei 1999 te Davos in Zwitserland. Daarin is beschreven hoe een InP transistor op een InP substraat dat als tijdelijk substraat fungeert, voorzien wordt van een in patroon gebracht diëlektricum dat een BCB (= BenzoCycloButene) omvat, waarna
20 binnen en op het in patroon gebrachte diëlektricum een koperlaag wordt aangebracht die binnen het in patroon gebrachte diëlektricum fungeert als een thermische en elektrische via naar de transistor. Hierna wordt het InP substraat verwijderd en fungeert de koperlaag tevens als substraat voor de transistor.

Een bezwaar van de bekende werkwijze is dat indien daarmee een groot aantal
25 halfgeleiderinrichtingen vervaardigd worden, deze niet gemakkelijk van elkaar gescheiden kunnen worden. Indien de inrichtingen door middel van zagen van elkaar gescheiden worden, treden daarbij ernstige problemen naar voren doordat het doorzagen van metaallagen gepaard gaat met het uitsmeren van het te zagen metaal over de zaag waardoor het zagen bemoeilijkt

wordt. Het voor het zagen verwijderen van de metaallaag ter plaatse van een door te zagen gebied door middel van etsen is niet praktisch omdat de metaallaag bijzonder dik is.

Het doel van de onderhavige uitvinding is dan ook een praktische werkwijze te verschaffen van de in de aanhef genoemde soort waarbij een groot aantal

- 5 halfgeleiderinrichtingen tegelijk vervaardigd kan worden en waarbij deze gemakkelijk van elkaar gescheiden kunnen worden.

- Daartoe heeft volgens de uitvinding een werkwijze van de in de aanhef genoemde soort het kenmerk dat voordat de metaallaag wordt aangebracht in projectie gezien rondom het in patroon gebrachte deel van het diëlektricum en rondom het
- 10 halfgeleiderelement een ringvormig gebied van een kunststof wordt aangebracht met een grotere dikte dan het diëlektricum en de metaallaag binnen het ringvormig gebied van de kunststof wordt aangebracht. De uitvinding berust allereerst op het inzicht dat door te voorkomen dat de metaallaag ook gevormd wordt op die gebieden van het halfgeleiderlichaam waar de inrichtingen van elkaar gescheiden moeten worden, een
- 15 praktische oplossing biedt voor het gestelde probleem. Door na het aanbrengen van de metaallaag binnen het ringvormig gebied, dit weer te verwijderen komt het gebied van het halfgeleiderlichaam waar de inrichtingen van elkaar gescheiden moeten worden weer vrij en kan een zaag proces als separatie techniek toegepast worden zonder probleem omdat daarbij nu niet meer door een metaallaag gezaagd hoeft te worden. De oplossing volgens de
- 20 uitvinding biedt verder het voordeel dat het aanbrengen van een kunststof ringvormig gebied bijzonder gemakkelijk is, in het bijzonder indien daarvoor een fotolak gebruikt wordt. Deze kan gemakkelijk in het gewenste patroon gebracht worden en na het aanbrengen van de metaallaag weer gemakkelijk met een daartoe geschikt oplosmiddel verwijderd worden. Het ringvormige gebied is niet beperkt tot een ring, maar kan ook bijvoorbeeld rechthoekig of een
- 25 polygoon zijn.

- In een bijzonder gunstige uitvoering van een werkwijze volgens de uitvinding wordt dan ook als materiaal voor het ringvormig gebied een fotolak gekozen en wordt het ringvormig gebied gevormd met behulp van fotolithografie. Een bijzonder geschikte fotolak wordt gevormd door Nano SU-8, een negatieve fotolak die onder meer door de Fa.
- 30 MicroChem onder die naam op de markt wordt gebracht. Een dergelijke fotolak kan in een enkel spin coat proces op het halfgeleiderlichaam aangebracht worden in een dikte tussen 10 en meer dan 200 μm . Daardoor kan ook de metaallaag bijzonder dik zijn hetgeen gewenst is met het oog op de functies van elektrische en thermische aansluitgeleider en vooral die van substraat, d.w.z. dragend onderdeel van de inrichting. Voor het diëlektricum wordt eveneens

bij voorkeur een fotolak gekozen. Dit niet alleen omdat deze met behulp van fotolithografie gemakkelijk in patroon gebracht kan worden maar ook omdat het diëlektricum op die manier relatief dik kan zijn b.v. 1 tot 10 μm en tevens omdat een fotolak als BCB, die bijzonder lage RF (= Radio Frequent) verliezen vertoont bijzonder geschikt is in verband met toepassing
5 van een zogenaamde strip-line techniek. Een en ander houdt ook verband met de beoogde toepassingen die zowel een hoge frequentie als een hoge vermogensdissipatie vereisen.

Bij voorkeur wordt voor de dikte van het ringvormig gebied een dikte gekozen tussen 10 en 200 μm . Voor de dikte van de metaallaag wordt bij voorkeur een dikte gekozen die tussen 5 en 20 μm dikker is dan de dikte van het ringvormig gebied. De fotolak kan door
10 geschikte oplosmiddelen na belichting ontwikkeld worden en na uitbakken weer verwijderd worden. Een dergelijke ontwikkelaar en stripper die geschikt zijn voor de hierboven genoemde fotolak worden ook door de Fa MicroChem aangeboden. Na strippen van de lak ter plaatse van het ringvormig gebied, kan daar gezaagd worden.

In een voorkeursuitvoering van een werkwijze volgens de uitvinding worden
15 individuele halfgeleiderinrichtingen verkregen door het halfgeleiderlichaam uit het ringvormig gebied te drukken. Verrassenderwijs is gebleken dat het ringvormig kunststof gebied niet per se verwijderd hoeft te worden om een halfgeleiderinrichting te separeren van naburige inrichtingen. Na plaatsing van het halfgeleiderlichaam op een geschikt folie kan door met een puntig voorwerp daarop te drukken de metaallaag uit het ringvormig gebied
20 gedrukt worden waarbij het halfgeleiderlichaam gebroken wordt ter plaatse van het ringvormig gebied. Dit laatste hangt onder meer samen met het feit dat bij een werkwijze volgens de uitvinding gebruikt gemaakt wordt van de "substraat-transfer" techniek, waarbij het eigenlijke halfgeleiderlichaam waarin zich het halfgeleiderelement bevindt bijzonder dun is, namelijk ten hoogste enkele micrometers dik. Nadat een halfgeleiderinrichting uit het
25 ringvormig gebied gedrukt is kan dit opgepakt worden, bijvoorbeeld met behulp van een vacuüm pincet en gemakkelijk verder behandeld worden ter afmontage of ter verpakking.

In een verdere gunstige variant wordt na het verwijderen van het tijdelijk substraat aan die zijde van het halfgeleiderlichaam een verder rechthoekig ringvormig gebied van een kunststof aangebracht ongeveer tegenover het ringvormig gebied en wordt binnen het
30 verdere ringvormig gebied een verdere metaallaag aangebracht. Op deze wijze kunnen verdere aansluitgebieden van het halfgeleiderelement voorzien worden van een aansluitgeleider met niet alleen uitstekende elektrische en thermische aansluit karakteristieken maar ook met het gewenste goede hoogfrequent gedrag.

Bij voorkeur wordt het halfgeleiderlichaam gevormd wordt door een halfgeleidersubstraat te voorzien van een begraven isolerende laag waarboven het halfgeleiderelement, het aansluitgebied en een verder aansluitgebied van het halfgeleiderelement gevormd worden, waarbij het tijdelijk substraat gevormd wordt door het
5 onder de begraven isolerende laag liggende deel van het halfgeleidersubstraat. Deze werkwijze is eenvoudig en goed toepasbaar voor de vervaardiging van zowel MOS (= Metal Oxide Semiconductor)-transistoren als bipolaire transistoren.

In een dergelijke variant worden bij voorkeur tussen de begraven isolerende laag en het aansluitgebied een verdere isolerende laag die een etsstoplaag vormt ten opzichte
10 van de begraven isolerende laag en een andere isolerende laag aangebracht waarin een opening gevormd wordt waarin het verdere aansluitgebied gevormd wordt. Vervolgens wordt na het verwijderen van het tijdelijk substraat een onder het verdere aansluitgebied liggend deel van de begraven isolerende laag verwijderd met een ets middel dat selectief is ten opzichte van de verdere isolerende laag.

In een verdere variant van een werkwijze volgens de uitvinding wordt voor het
15 halfgeleiderelement een bipolaire transistor gekozen en wordt het aansluitgebied verbonden wordt met het emitter gebied van de bipolaire transistor. Bij voorkeur wordt met een werkwijze volgens de uitvinding echter een MOS inrichting gevormd zoals een (vermogens) LD (= Laterally Diffused) MOS transistor.

20 De uitvinding omvat verder een halfgeleiderinrichting verkregen met behulp van een werkwijze volgens de uitvinding.

De uitvinding zal thans nader worden toegelicht aan de van enkele
25 uitvoeringsvoorbeelden en de tekening, waarin:

Fig. 1 t/m 10 schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een halfgeleiderinrichting tonen in opeenvolgende stadia van de vervaardiging met behulp van een werkwijze volgens de uitvinding.

Fig. 11 schematisch en in een dwarsdoorsnede loodrecht op de dikterichting
30 een halfgeleiderinrichting met een LDMOS transistor toont verkregen met behulp van een werkwijze volgens de uitvinding.

Fig. 12 een detail toont van de doorsnede van een variant van de halfgeleiderinrichting van Fig. 11,

Fig. 13 een detail toont van een bovenaanzicht van een verdere variant van de halfgeleiderinrichting van Fig. 11,

Fig. 14 schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een andere variant toont van de halfgeleiderinrichting van Fig. 11, en

Fig. 15 schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een halfgeleiderinrichting met een bipolaire transistor toont verkregen met behulp van een werkwijze volgens de uitvinding.

De figuren zijn niet op schaal getekend en sommige afmetingen, zoals afmetingen in de dikterichting zijn ter wille van de duidelijkheid overdreven weergegeven. Overeenkomstige gebieden of onderdelen zijn in de verschillende figuren zoveel mogelijk van hetzelfde verwijzingscijfer voorzien.

Fig. 1 t/m 10 tonen schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een halfgeleiderinrichting in opeenvolgende stadia van de vervaardiging met behulp van een werkwijze volgens de uitvinding. Bij de vervaardiging van de inrichting 10 van dit voorbeeld wordt hier (zie Fig. 1) uitgegaan van een n-type silicium substraat 2 met gebruikelijke afmetingen en doteringsconcentratie. Daarop bevinden zich achtereenvolgens een elektrisch isolerende siliciumdioxide laag 8, een verdere isolerende laag 9 van siliciumnitride, een andere isolerende laag 11 van siliciumdioxide en een dunne laag 3' van monokristallijn silicium. Deze structuur kan bijvoorbeeld vervaardigd worden door het aanbrengen met behulp van CVD van de isolerende lagen 8, 9, 11 op een Si substraat 2. Daarop wordt een silicium substraat 3' gehecht dat vervolgens grotendeels verwijderd wordt totdat een dikte van enkele micrometers resulteert. In de silicium laag 3' wordt (zie Fig 3) een halfgeleiderelement 3 zoals een transistor gevormd waarna hier de buiten het element 3 liggende delen van de Si laag 3' verwijderd worden. Plaatselijk wordt in verdere en andere isolerende lagen 9, 11 een opening 21 gemaakt ter vorming van een verder aansluitgebied van het halfgeleiderelement 3.

Dan wordt (zie Fig. 3) een metaallaag, hier van aluminium aangebracht die in patroon gebracht wordt waarbij een aansluitgebied 4, bijvoorbeeld van de source van een transistor, en een verder aansluitgebied 44, bijvoorbeeld van de poortelektrode van een transistor, gevormd worden. Hierna wordt (zie Fig. 4) een als diëlektricum fungerende fotolak 5 van BCB aangebracht met een dikte van 5 μm die in een zodanig patroon gebracht wordt dat het verder aansluitgebied 44 afgedekt wordt en het aansluitgebied 4 wordt

vrijgelaten. Daarover wordt (zie Fig. 5) in dit voorbeeld een dunne kiemlaag 51 hier van Cr/Cu aangebracht over het gehele oppervlak van de inrichting 10, in dit voorbeeld met een dikte van 200 nm en omvattende 50 nm Cr en 150 nm Cu.

Vervolgens wordt (zie Fig. 6) volgens de uitvinding rondom de in patroon gebrachte BCB laag 5 en rondom het halfgeleiderelement 3 een ringvormig gebied 7 van kunststof aangebracht. Het gebied 7 bevat in dit voorbeeld een fotolak, hier NANO SU-8, met een dikte van 100 µm en een hier een breedte van 200 µm is met behulp van spin coating gevolgd door fotolithografie gevormd. Dan wordt (zie Fig. 7) met behulp van elektrodepositie de kiemlaag 51 binnen de ring 7 voorzien van een dikke, hier 110 µm dikke, metaallaag 6 die hier koper bevat. Dan wordt (zie Fig. 8) het onder de isolerende laag 8 liggende silicium substraat 2, dat als tijdelijk substraat gefungeerd heeft, verwijderd, hier door middel van etsen met behulp van een geconcentreerde KOH oplossing in water. Daarbij fungeren de ring 7 en de metaallaag 6 als masker terwijl de begraven isolerende laag 8 van siliciumdioxide daarbij als etsstoplaag fungeert.

Hieraan wordt (zie Fig. 9) isolerende laag 8 van siliciumdioxide verwijderd door middel van etsen met behulp van een verdunde oplossing van HF in water. Terwijl het aansluitgebied 4 verbonden is met de koper laag 6 die als thermische en elektrische aansluitgeleider en nu tevens als substraat van de inrichting 10 fungeert, komt aan een tegenover de koper laag 1 liggende zijde van het halfgeleiderlichaam 1 daarbij het verder aansluitgebied 44 van het halfgeleiderelement vrij en is beschikbaar voor aansluiting van de inrichting 10 aan die zijde. De ring 7 kan nu met behulp van een geschikt oplosmiddel verwijderd worden waarna individuele inrichtingen 10 door middel van zagen ter plaatse van de gebieden waar zich de ring 7 bevond, verkregen worden.

In dit voorbeeld wordt een individuele inrichting 10 echter verkregen door het halfgeleiderlichaam 1 op een – niet in de figuur weergegeven – membraan te plaatsen en met behulp van een – eveneens niet in de figuur weergegeven – puntig voorwerp op de metaallaag 6 te drukken waarbij een individuele inrichting 10 uit de kunststof ring 7 gedrukt wordt en bijvoorbeeld opgepakt kan worden met behulp van een vacuüm pincet. Dit is bijzonder aantrekkelijk vanwege de eenvoud en snelheid. Een zaag stap is hiermee overbodig geworden. De resulterende inrichting 10 is in Fig. 10 weergegeven en is geschikt voor afmontage, bijvoorbeeld op een PCB (= Printed Circuit Board) of voor verpakking ter levering aan een gebruiker.

Fig. 11 toont schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een halfgeleiderinrichting met een LDMOS transistor verkregen met behulp van

17.09.2002

een werkwijze volgens de uitvinding. Het stadium van de vervaardiging correspondeert met het in Fig. 9 weergegevene, zij het dat in de doorsnede van Fig. 11 het halfgeleiderelement 3, hier dus een LDMOS transistor 3, is weergegeven. De koperlaag 6 fungeert hier als aansluitgeleider van het aansluitgebied 4 van de source 13 van de transistor 3 die hier

5 vingervormig is uitgevoerd, waarbij de vingervormige delen van de source 13 voorzien zijn van een aansluitgebied 4 van aluminium. De transistor 3 is gevormd in een deel 30 van het halfgeleiderlichaam 1 liggend boven een isolerende laag 8 van siliciumdioxide. Dit deel 30 is omgeven door een zogenaamde trench isolatie 31 van siliciumdioxide en bevat een gebied 30A dat geïsoleerd is door middel van een verdere trench isolatie 32 en volledig

10 hooggedoteerd. Het n-type gebied 30 bevat een – door middel van implantatie verkregen – hoog gedoteerd gebied 33 dat als drain 33 van de transistor 3 fungeert en een tegengesteld gedoteerd gebied 34 dat als kanaalgebied 34 van de transistor 3 fungeert. Boven het kanaalgebied 34 bevindt zich een vingervormige polykristallijn silicium poortelektrode 35 waarop zich een silicide laag 36 bevindt die verbonden is met het deel 30A van het

15 halfgeleiderlichaam 1. De poortelektrode 36 is van het aansluitgebied 4 van de source 13 geïsoleerd met behulp van een siliciumdioxide laag 55 en is aan een zijde van het halfgeleiderlichaam 1 tegenover de koper laag 6 voorzien van een verder aansluitgebied 44. Aan dezelfde zijde bevindt zich een ander aansluitgebied 44A voor de drain 33 van de transistor 3.

20 In dit voorbeeld is in plaats van het in Fig. 1 weergegeven halfgeleiderlichaam 1 een halfgeleiderlichaam 1 gebruikt waarbij in een silicium substraat door middel van implantatie een begraven isolerende laag 8 van siliciumdioxide gevormd is. In het daarboven liggende deel van het substraat is de transistor 3 gevormd. Verder zijn in verband daarmee het verder aansluitgebied 44 en het ander aansluitgebied 44A niet gevormd op de in de

25 Figuren 1 t/m 3 weergegeven wijze, maar door aan die zijde van het halfgeleiderlichaam 1 op de begraven isolerende laag 8 fotolak in patroon aan te brengen en door vervolgens opening te etsen in de isolerende laag 8 en na verwijderen van de fotolak ter plaatse van de openingen een metaallaag 44 van aluminium aan te brengen en deze door middel van etsen in het gewenste patroon te brengen.

30 Fig. 12 toont een detail toont van de doorsnede van een variant van de halfgeleiderinrichting van Fig. 11. De kunststof ring 7 is hier aan zijn aan de koper laag 6 grenzende zijde voorzien van een profilering ter verbetering van de hechting tussen de ring 7 en de koper laag 6. In dit voorbeeld is de profilering verkregen door een taps verlopende binnenwand 7A van de ring 7 die de koper laag als het ware opsluit in de ring 7. Een

dergelijke profilering kan eenvoudig verkregen worden door in het geval dat de ring 7 met behulp van een positieve fotolak en fotolithografie gevormd wordt, de lak 7 over te belichten. Onder een positieve fotolak wordt verstaan een lak waarbij de belichte delen van de lak tijdens het ontwikkelen verwijderd worden, waar deze bij een negatieve lak juist blijven staan.

5 Fig. 13 toont een detail van een bovenaanzicht van een verdere variant van de halfgeleiderinrichting van Fig. 11. Ook hier is een binnenwand 7A van de ring 7 voorzien van een profilering die hier gevormd wordt door een gegolfd zijn van de binnenwand 7A. Dit kan, eveneens in het geval van het gebruik van een fotolak 7 en fotolithografie bij de vorming van de ring 7, eenvoudig gerealiseerd worden door het daarbij gebruikte masker te voorzien van een golvende rand. Dit kan toegepast worden bij zowel een positieve als een negatieve fotolak 7.

15 Fig. 14 toont schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een andere variant van de inrichting van Fig. 11. In deze variant is na het in Fig. 11 bereikte stadium ook aan de andere zijde van het halfgeleiderlichaam 1 een verdere kunststof ring 77 met daarin een kleinere ring 77A op soortgelijke wijze als de ring 7 gevormd. Daar binnen wordt — eveneens op soortgelijke wijze als bij de ring 7 — een verdere metaal laag, i.c. een koper laag 66,67, aangebracht. De binnen de ring 77 liggende metaallaag 66 fungeert als elektrische en thermische aansluiting voor een verder aansluitgebied 44A van de LDMOS transistor 3, i.c. van het drain gebied 33 van de transistor 3. Een binnen de kleinere ring 77A liggend deel 67 van de metaallaag fungeert als aansluiting van de poortelektrode 35,36. Afhankelijk van de gekozen dikten van de koper lagen 6,66/67 fungeert de koper laag 6 of de koper laag 66/67 of beide lagen als substraat van de inrichting 10. Onder substraat wordt hier verstaan niet alleen een dragend deel van de inrichting 10

20 25 beschouwd maar ook een deel dat door zijn relatief grote dikte de inrichting 10 zijn gewenste stevigheid / starheid verschaft.

Fig. 15 toont schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een halfgeleiderinrichting met een bipolaire transistor 3 verkregen met behulp van een werkwijze volgens de uitvinding. Ook hier komt het stadium van de vervaardiging overeen met dat van de inrichting van Fig. 11. De koper laag 6 fungeert hier als aansluitgeleider van het aansluitgebied 4 van de emitter 12 van de bipolaire transistor 3, die een basisgebied 15 en een collector gebied 16 heeft. De transistor 3 van dit voorbeeld heeft een emitter 12 met een vinger structuur waarvan in de Fig. 15 ter wille van de eenvoud slechts twee "vingers" zijn weergegeven. Het hooggedoteerde deel van de emitter 12 wordt

30

door implantatie gevormd. Het basisgebied 15 en het emitter gebied 12 door middel van diffusie. Het oppervlak is bedekt met een van openingen voorziene isolerende laag 56. De overige onderdelen van deze transistor 3 komen overeen met de reeds bij de bespreking van de transistor 3 van Fig. 11 besproken onderdelen. Ook de vorming van de verdere aluminium aansluitgebieden 44 en 44A, respectievelijk van het basis gebied 15 en het collector gebied 16 van de transistor 3, vindt plaats op de bij dat voorbeeld besproken manier.

De uitvinding is niet beperkt tot het beschreven uitvoeringsvoorbeeld daar voor de vakman binnen het kader van de uitvinding vele variaties en modificaties mogelijk zijn. Zo kunnen inrichtingen vervaardigd worden met een andere geometrie en/of andere afmetingen.

In plaats van een halfgeleiderlichaam van Si kan ook een halfgeleiderlichaam van Ge of III-V verbindingen zoals GaAs of InP zijn toegepast.

In het geval van een halfgeleiderlichaam van Si hoeft dit niet noodzakelijkerwijs monokristallijn silicium te bevatten. Ook polykristallijn silicium is voor bepaalde toepassingen geschikt.

Verder wordt opgemerkt dat de inrichting verdere actieve en passieve halfgeleiderelementen of elektronische componenten kan bevatten zoals dioden en/of transistoren en weerstanden en/of capaciteiten, al dan niet in de vorm van een geïntegreerde schakeling. De vervaardiging wordt daarbij uiteraard doelmatig aangepast.

CLAIMS:

1. Werkwijze ter vervaardiging van een halfgeleiderinrichting waarbij in een halfgeleiderlichaam met een tijdelijk substraat tenminste een halfgeleiderelement gevormd wordt dat aan een zijde van het halfgeleiderlichaam liggend tegenover het substraat van tenminste een aansluitgebied voorzien wordt, aan de zijde van het halfgeleiderlichaam waar
5 het aansluitgebied gevormd wordt een diëlektricum wordt aangebracht in een patroon dat het aansluitgebied vrijlaat waarna een metaallaag over het diëlektricum wordt aangebracht in contact met het aansluitgebied, welke metaallaag fungeert als elektrische aansluitgeleider van het aansluitgebied, waarna het tijdelijk substraat verwijderd wordt en de metaallaag als
10 substraat fungeert, met het kenmerk, dat voordat de metaallaag wordt aangebracht in projectie gezien rondom het in patroon gebrachte deel van het diëlektricum en rondom het halfgeleiderelement een ringvormig gebied van een kunststof wordt aangebracht met een
 grotere dikte dan het diëlektricum en de metaallaag binnen het ringvormig gebied van de kunststof wordt aangebracht.
- 15 2. Werkwijze volgens conclusie 1, met het kenmerk, dat voor het materiaal van de kunststof van het ringvormig gebied een fotolak gekozen wordt en het ringvormig gebied gevormd wordt met behulp van fotolithografie.
- 20 3. Werkwijze volgens conclusie 1 of 2, met het kenmerk, dat voor het diëlektricum een verdere fotolak gekozen wordt die in patroon gebracht wordt met behulp van fotolithografie.
- 25 4. Werkwijze volgens conclusie 3, met het kenmerk, dat voor de dikte van van het diëlektricum een dikte van 1 tot 10 μm gekozen wordt en voor de dikte van het ringvormig gebied een dikte van 10 tot 200 μm gekozen wordt.
5. Werkwijze volgens conclusie 1, 2, 3 of 4, met het kenmerk, dat als metaal van de metaallaag koper gekozen wordt en voor de dikte van de metaallaag een dikte gekozen wordt die 5 tot 20 μm groter is dan de dikte van het ringvormig gebied.

6. Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat na het aanbrengen van de metaallaag het ringvormig gebied verwijderd wordt en de halfgeleiderinrichting verkregen wordt door de delen van het halfgeleiderlichaam waar zich
5 het ringvormig gebied bevond door te zagen.

7. Werkwijze volgens een der conclusies 1 t/m 5, met het kenmerk, dat de halfgeleiderinrichting wordt verkregen door het halfgeleiderlichaam uit het ringvormig gebied te drukken.

10

8. Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat een aan de metaallaag grenzende wand van het ringvormig gebied voorzien wordt van een profiel.

15 9. Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat na het verwijderen van het tijdelijk substraat aan die zijde van het halfgeleiderlichaam een verder rechthoekig ringvormig gebied van een kunststof aangebracht wordt ongeveer tegenover het ringvormig gebied en binnen het verdere ringvormig gebied een verdere metaallaag wordt aangebracht.

20

10. Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat het halfgeleiderlichaam gevormd wordt door een halfgeleidersubstraat te voorzien van een begraven isolerende laag waarboven het halfgeleiderelement, het aansluitgebied en een verder aansluitgebied van het halfgeleiderelement gevormd worden, waarbij het tijdelijk
25 substraat gevormd wordt door het onder de begraven isolerende laag liggende deel van het halfgeleidersubstraat.

11. Werkwijze volgens conclusie 9, met het kenmerk, dat tussen de begraven isolerende laag en het aansluitgebied een verdere isolerende laag die een etsstoplaag vormt
30 ten opzichte van de begraven isolerende laag en een andere isolerende laag worden aangebracht waarin een opening gevormd wordt waarin het verdere aansluitgebied gevormd wordt. en na het verwijderen van het tijdelijk substraat een onder het verdere aansluitgebied liggende deel van de begraven isolerende laag verwijderd wordt met een ets middel dat selectief is ten opzichte van de verdere isolerende laag.

12. Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat het halfgeleidererelement door een bipolaire transistor gevormd wordt en het aansluitgebied verbonden wordt met het emitter gebied van de bipolaire transistor.

5

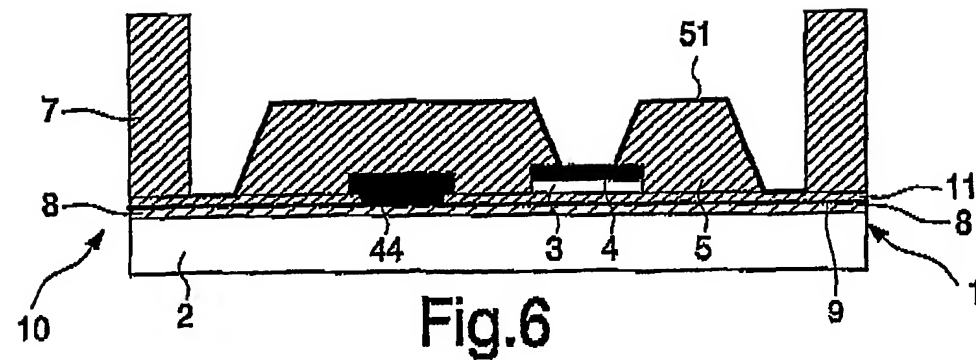
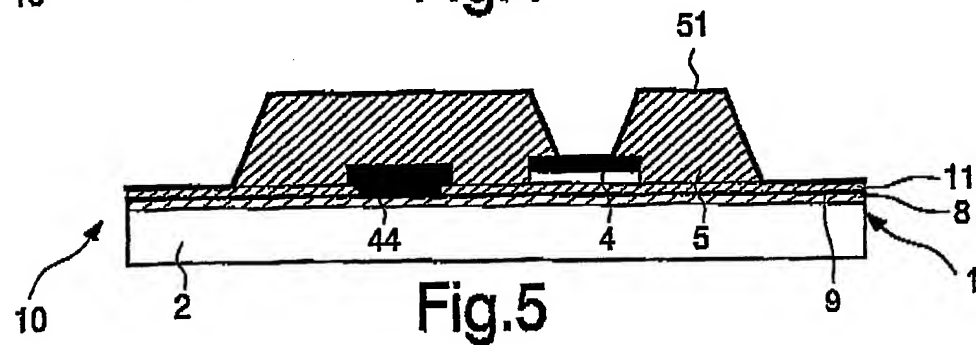
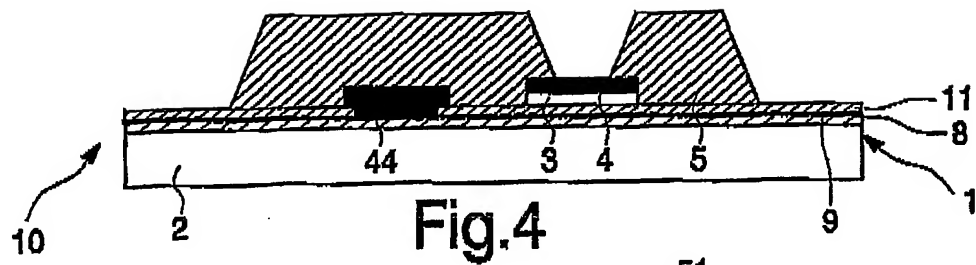
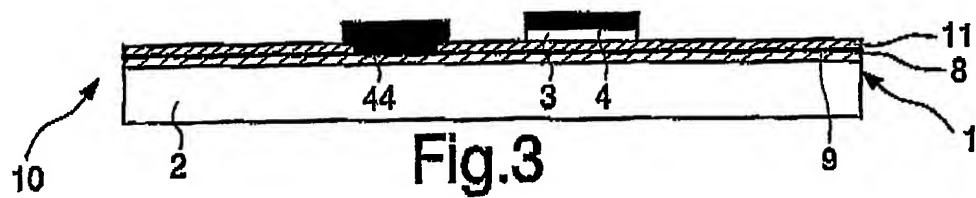
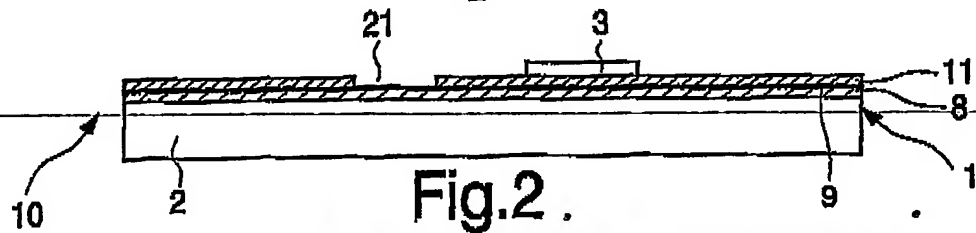
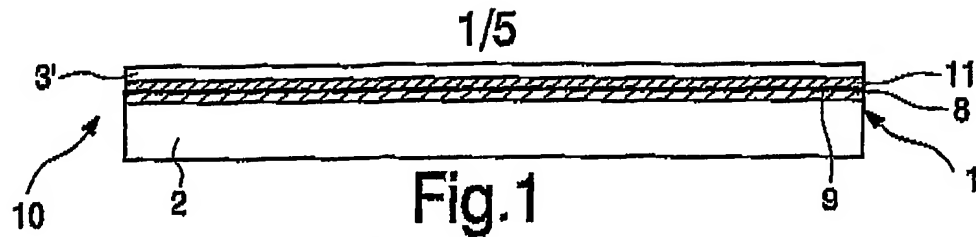
13 Werkwijze volgens een der conclusies 1 t/m 11, met het kenmerk, dat halfgeleidererelement door een LDMOS transistor gevormd wordt en het aansluitgebied verbonden wordt met het source gebied van de LDMOS transistor.

10 14. Halfgeleiderinrichting verkregen met behulp van een werkwijze volgens een der voorafgaande conclusies.

ABSTRACT:

The invention relates to a method of manufacturing a semiconductor device (10) in which in a semiconductor body (1) with a temporarily substrate (2) at least one semiconductor element (3) is formed that at a side of the semiconductor body (1) opposite to the substrate (2) is provided with at least one connection region (4), in which at the side of the semiconductor body (1) where the connection region (4) is formed a dielectric (5) is formed and brought into a pattern which leaves free the connection region (4) after which a metal layer (6) is deposited over the dielectric (5) in connection with the connection region (4), which metal layer (6) functions as an electrical connection conductor of the connection region (4), after which the temporarily substrate (2) is removed and the metal layer (6) also functions as a substrate of the device (10).

According to the invention before the metal layer (6) is deposited, there is formed viewed in projection around the patterned part of the dielectric (5) and around the semiconductor element (3) an annular region (7) of a resin with a larger thickness than the dielectric (5) and the metal layer (6) is deposited within the rectangular annular region (7). In this way, an individual device (10) can easily be formed after the metal layer (6) has been deposited, preferably by pushing the device (10) outside the region (7). Preferably, both for the dielectric (5) and the region (7) a (different) photoresist is chosen. The invention also comprises a semiconductor device (10) obtained in this way.



2/5

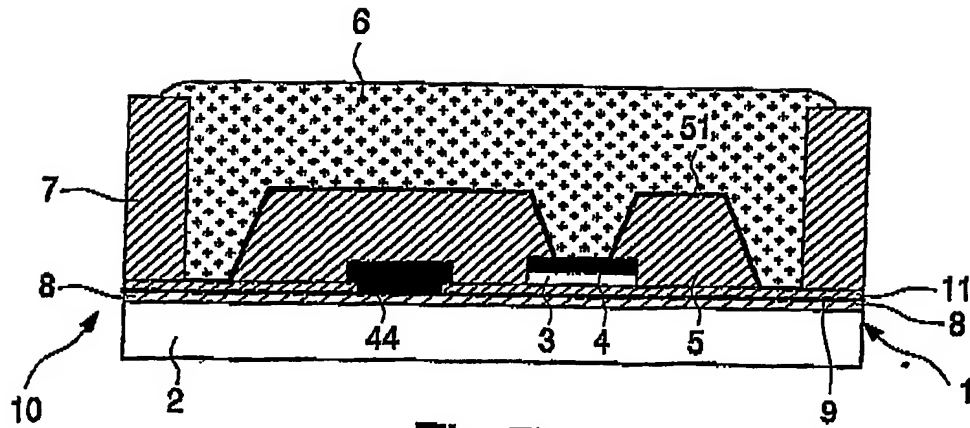


Fig. 7

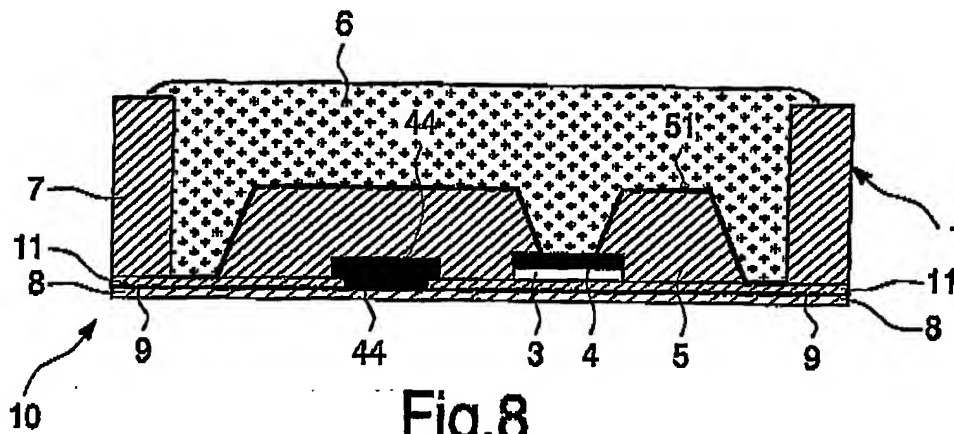


Fig. 8

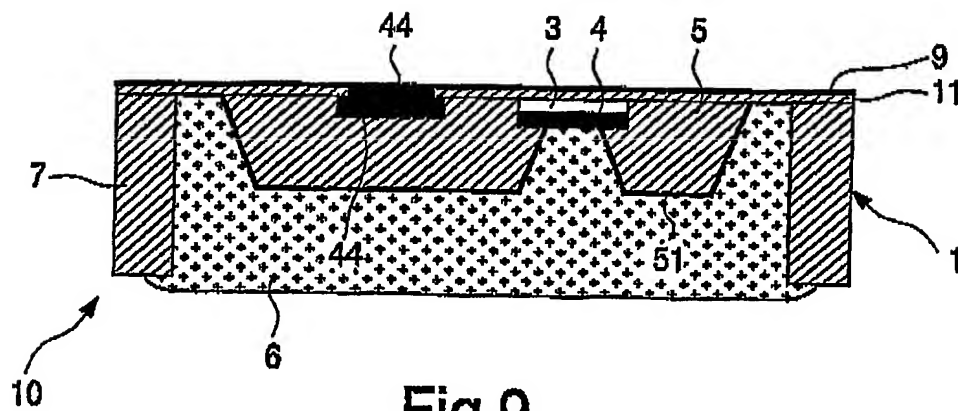


Fig. 9

3/5

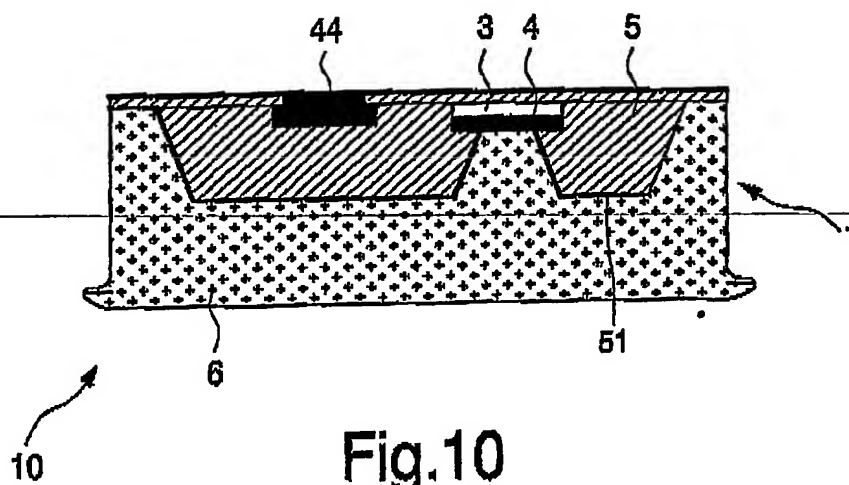


Fig. 10

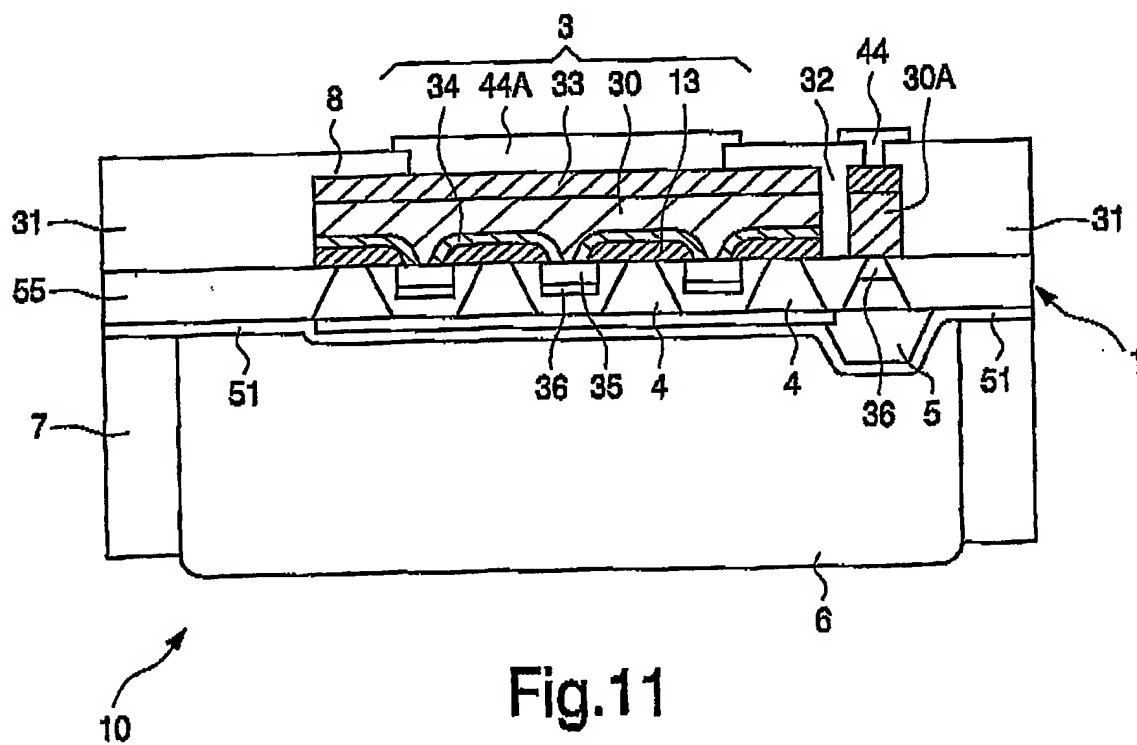


Fig. 11

4/5

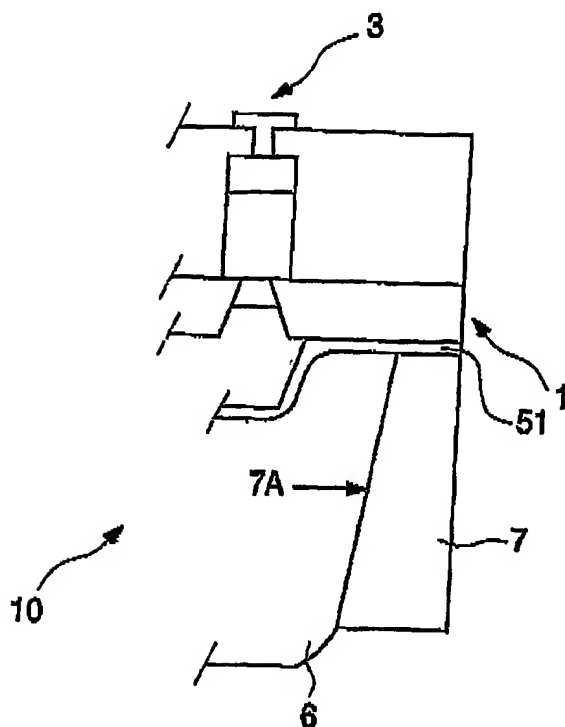


Fig. 12

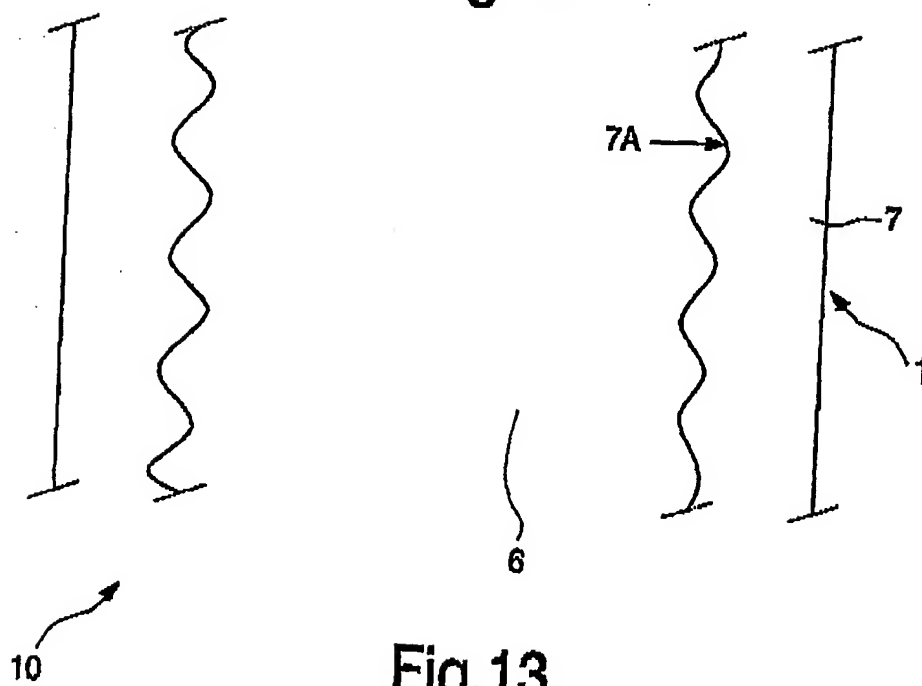


Fig. 13

5/5

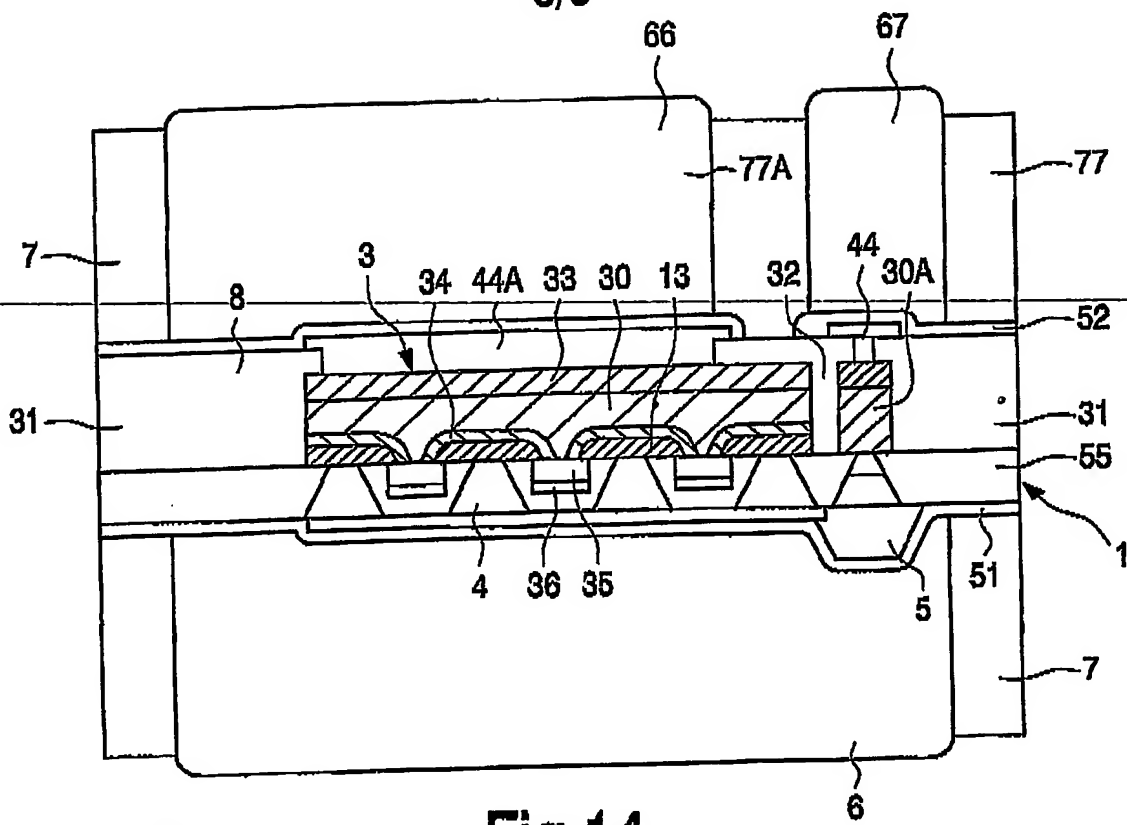


Fig.14

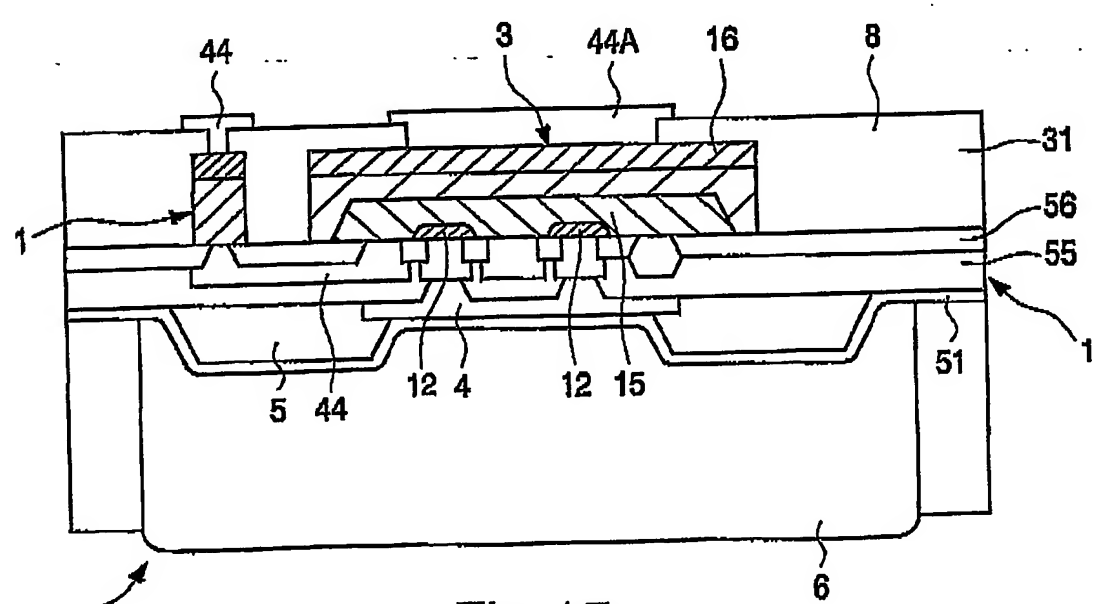


Fig.15

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.